

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345250

(43)Date of publication of application : 14.12.2001

(51)Int.Cl. H01L 21/027
G01B 11/24
G03F 9/00

(21)Application number : 2000-164352 (71)Applicant : CANON INC

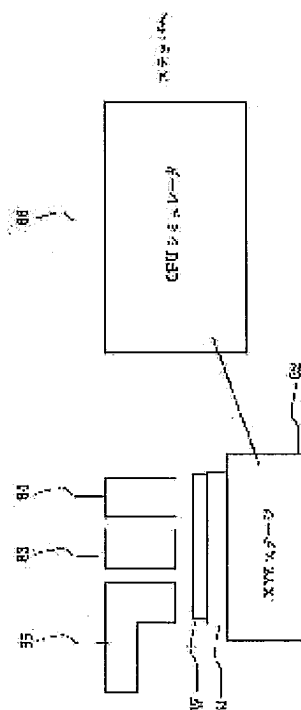
(22)Date of filing : 01.06.2000 (72)Inventor : INE HIDEKI
CHITOKU KOICHI
MATSUMOTO TAKAHIRO

(54) METHOD AND DEVICE FOR ALIGNMENT, PROFILER, ALIGNER, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR MANUFACTURING PLANT, AND METHOD FOR MAINTAINING ALIGNER

(57)Abstract:

PROBLEM TO BE SOLVED: To make the shape of a mark measurable without contaminating nor breaking the mark.

SOLUTION: In a method for alignment including a step of aligning a first object with a second object by detecting a plurality of marks on the second object W by means of a mark detecting means in order to expose the pattern of the first object on the second object W and a step of obtaining an offset to be reflected in the detected results of the mark detecting means by measuring the shapes of the marks on the second object W prior to the aligning step, the shapes of the marks are measured by means of a shape measuring means 63 having no possibility of coming into touch with the marks and the measured results are calibrated on the basis of another shape measuring means 64 having a possibility of coming into contact with the marks.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-345250
(P2001-345250A)

(43) 公開日 平成13年12月14日 (2001.12.14)

(51) Int.Cl. ⁷	識別記号	F I	デマンド* (参考)
H 0 1 L 21/027		G 0 3 F 9/00	H 2 F 0 6 5
G 0 1 B 11/24		H 0 1 L 21/30	5 2 5 W 5 F 0 4 6
G 0 3 F 9/00		G 0 1 B 11/24	Z
		H 0 1 L 21/30	5 0 2 G
			5 2 5 E
審査請求 未請求 請求項の数18 O L (全 16 頁)			

(21) 出願番号 特願2000-164352(P2000-164352)

(22) 出願日 平成12年6月1日(2000.6.1)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 稲 秀樹

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 千徳 孝一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100086287

弁理士 伊東 哲也

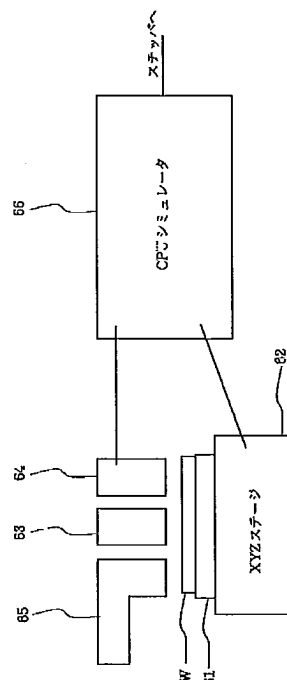
最終頁に続く

(54) 【発明の名称】 位置合せ方法、位置合せ装置、プロファイラ、露光装置、半導体デバイス製造方法、半導体製造工場、および露光装置の保守方法

(57) 【要約】

【課題】 汚染や損傷を生じさせることなくマークの形状を計測できるようにする。

【解決手段】 第1物体のパターンを第2物体上に露光するために、第2物体上の複数のマークをマーク検出手段で検出して第1物体と第2物体との位置合せを行う工程と、この工程の前に、第2物体W上の複数のマークの形状を計測することによりマーク検出手段による検出結果に反映すべきオフセットを得る工程とを備えた位置合せ方法において、前記マーク形状の計測は、マークに接触する可能性のない形状計測手段63により、これにマークに接触する可能性のある形状計測手段64を基準とする較正を施して行う。



【特許請求の範囲】

【請求項1】 第1物体のパターンを第2物体上に露光するために、前記第2物体上の複数のマークをマーク検出手段で検出して前記第1物体と第2物体との位置合せを行う工程と、この工程の前に、前記第2物体上の複数のマークの形状を計測することにより前記マーク検出手段による検出結果に反映すべきオフセットを得る工程とを備えた位置合せ方法において、前記マーク形状の計測は前記マークに接触する可能性のない形状計測手段により、これに前記マークに接触する可能性のある形状計測手段を基準とする較正を施して行うことを特徴とする位置合せ方法。

【請求項2】 前記較正のために、前記接触可能性のある形状計測手段により前記第2物体上の複数のマークの形状を計測する工程を有することを特徴とする請求項1に記載の位置合せ方法。

【請求項3】 前記接触可能性のある形状計測手段は原子間力顕微鏡または触針式立体形状計測器であることを特徴とする請求項1または2に記載の位置合せ方法。

【請求項4】 前記マーク形状の計測は、前記露光のためのレジストを前記第2物体に塗布する前と塗布した後において行うことを特徴とする請求項1～3のいずれか1項に記載の位置合せ方法。

【請求項5】 前記接触可能性のない形状計測手段により、前記較正を施して計測した前記レジスト塗布前後のマーク形状の相対位置関係を前記マーク検出手段による検出信号に対応させた結果に基づいて前記オフセットの取得を行うことを特徴とする請求項4に記載の位置合せ方法。

【請求項6】 露光される前記第2物体が複数ある場合は、最初の第2物体を用いて得られる前記オフセットを用いて2番目以降の第2物体についても前記位置合せを行うことを特徴とする請求項1～5のいずれか1項に記載の位置合せ方法。

【請求項7】 請求項1～6のいずれかの位置合せ方法を行う手段を具備することを特徴とする位置合せ装置。

【請求項8】 被露光基板上の位置合せ用のマークの形状をレジストの塗布前後において計測するプロファイラであって、マーク形状をマークに接触する可能性を有しながら計測する第1の形状計測手段と、マーク形状をマークに接触する可能性なく計測する第2の形状計測手段と、前記位置合せ用のマークの形状を前記第2形状計測手段により、これに前記第1形状計測手段を基準とする較正を施して計測する較正計測手段とを具備することを特徴とするプロファイラ。

【請求項9】 前記較正計測手段は、レジストをマーク上に塗布するコータの条件を最適のものからずらすことによりレジストのマークへのカバレッジを変化させながら各カバレッジのレジストの塗布前後におけるそのマークの形状を前記第1および第2形状計測手段で計測して

求めた所定の因果関係に基づいて前記較正を施すものであることを特徴とする請求項8に記載のプロファイラ。

【請求項10】 前記較正計測手段は、前記被露光基板上に塗布されるレジストの厚さに関する情報に基づいて前記較正を施すものであることを特徴とする請求項8に記載のプロファイラ。

【請求項11】 基板のパターンを基板上に露光する露光装置であって、前記基板と基板を位置合せするための請求項7の位置合せ装置を具備することを特徴とする露光装置。

【請求項12】 請求項11記載の露光装置において、ディスプレイと、ネットワークインターフェースと、ネットワーク用ソフトウェアを実行するコンピュータとをさらに有し、露光装置の保守情報をコンピュータネットワークを介してデータ通信することを可能にした露光装置。

【請求項13】 前記ネットワーク用ソフトウェアは、前記露光装置が設置された工場の外部ネットワークに接続され前記露光装置のベンダもしくはユーザが提供する保守データベースにアクセスするためのユーザインターフェースを前記ディスプレイ上に提供し、前記外部ネットワークを介して該データベースから情報を得ることを可能にする請求項12記載の装置。

【請求項14】 請求項11記載の露光装置を含む各種プロセス用の製造装置群を半導体製造工場に設置する工程と、該製造装置群を用いて複数のプロセスによって半導体デバイスを製造する工程とを有することを特徴とする半導体デバイス製造方法。

【請求項15】 前記製造装置群をローカルエリアネットワークで接続する工程と、前記ローカルエリアネットワークと前記半導体製造工場外の外部ネットワークとの間で、前記製造装置群の少なくとも1台に関する情報をデータ通信する工程とをさらに有する請求項14記載の方法。

【請求項16】 前記露光装置のベンダもしくはユーザが提供するデータベースに前記外部ネットワークを介してアクセスしてデータ通信によって前記製造装置の保守情報を得る、もしくは前記半導体製造工場とは別の半導体製造工場との間で前記外部ネットワークを介してデータ通信して生産管理を行う請求項15記載の方法。

【請求項17】 請求項11記載の露光装置を含む各種プロセス用の製造装置群と、該製造装置群を接続するローカルエリアネットワークと、該ローカルエリアネットワークから工場外の外部ネットワークにアクセス可能にするゲートウェイを有し、前記製造装置群の少なくとも1台に関する情報をデータ通信することを可能にした半導体製造工場。

【請求項18】 半導体製造工場に設置された請求項11記載の露光装置の保守方法であって、前記露光装置のベンダもしくはユーザが、半導体製造工場の外部ネット

ワークに接続された保守データベースを提供する工程と、前記半導体製造工場内から前記外部ネットワークを介して前記保守データベースへのアクセスを許可する工程と、前記保守データベースに蓄積される保守情報を前記外部ネットワークを介して半導体製造工場側に送信する工程とを有することを特徴とする露光装置の保守方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造用の露光装置におけるレチクル面上に形成されているIC、LSI、VLSI等の微細な電子回路パターンとウエハとの相対的な位置合せ（アライメント）等に好適な位置合せ方法、位置合せ装置およびプロファイラならびにこれらを用いた露光装置、半導体デバイス製造方法および半導体製造工場、ならびに前記露光装置の保守方法に関する。なお、露光装置としては、現在ステッパやスキャナと呼ばれているものがほとんどであるが、本明細書では便宜上、特別の区別が必要でない場合には、これらを区別せずに「露光装置」と記載する。

【0002】

【従来の技術】半導体製造用の投影露光装置においては、集積回路の微細化、高密度化に伴いレチクル面上の回路パターンをウエハ面上に、より高い解像力で投影露光できることが要求されている。このため、回路パターンの投影解像力が投影光学系の開口数（NA）と露光波長に依存することを考慮し、露光波長を固定にして投影光学系のNAを大きくする露光方法や、露光波長をより短波長化して、例えばg線よりi線、i線よりエキシマレーザ発振波長、エキシマレーザ発振波長においても248nmや193nm、さらには157nmを使用する露光方法の検討が行われており、193nmの露光波長については既に製品化がなされている。

【0003】一方、回路パターンの微細化に伴い、電子回路パターンの形成されていレチクルとウエハを高精度にアライメントすることも要求されてきている。レチクルとウエハの位置合せを行う際にウエハ面上に塗布されたレジストを感光させる光（露光光）と感光させない光（以下、「非露光光」という。）、例えばHe-Neレーザの発振波長である633nmを使用する場合がある。現状では、実用化されているアライメントのための使用波長は、非露光光の波長がほとんどである。半導体製造プロセスに影響されにくいからである。すなわち、露光光により感光するレジストは露光光に吸収される特性をもつため、露光光にとってレジストの透過率は低く、まったく透過しない場合も存在する。そのため、露光光をアライメントに使用すると、レジストを通り、アライメントマークで反射し、さらにレジストを通ることによって、ほとんどアライメント信号として微弱なものとなる場合もある。さらに、レジスト表面からの反射光

と干渉することによって、検出した像に干渉縞が発生し、精度劣化となる場合が発生している。レジスト表面では反射率が4%程度であり、レジストを2回透過した光も同等の強度となり、ビジビリティ（明暗コントラスト）の高い干渉縞となるからである。

【0004】そこで、本出願人も、レジストの透過率の高い非露光光を用いた位置合せ装置を、特開昭63-32303号公報や特開平2-130908号公報等で提案しており、実際に製品化し、効果を確認している。この方法は、レチクルパターンをウエハ上に転写投影する投影光学系の非露光光における色収差をアライメント光学系である波長幅において補正する、いわゆる非露光光TTLオフアキシス（Off axis）方式と呼ばれているものである。上記公報のように、現在実際に使用されているアライメント方法のほとんどがウエハ上のアライメントマークの光学像をCCDカメラ等の撮像素子上に結像させ、その電気信号を画像処理してウエハ位置を検出する方法である。この方法では、レジスト表面からの反射光との干渉縞は、レジストを2回透過しても光が減衰しないため、非露光光に単色光を使用したとしても、ビジビリティ（明暗コントラスト）が低いものとなる。また、単色光ではなく、補正波長幅が例えば半値幅70nm以上のものを使用するので、この干渉縞は問題ないレベルとなっている。

【0005】さらに本出願人は、アライメント誤差のひとつであるWIS（Wafer Induced Shift）と呼ばれているプロセスエラーを解消する方法として、オフセットアナライザ（Offset Analyzer）と呼ぶシステムの提案を行っている。WISの一例として、プロセス誤差によりアライメントマークの形状やその上のレジストの形状が非対称になることが挙げられる。最近導入されたメタルCMP（Chemical Mechanical Polishing）工程等における平坦化プロセスにおいては、頻繁にアライメントマークの構造が非対称となり、これが、グローバルアライメントにおいて、図5のような回転エラーや図6のような倍率エラーを生じさせ、精度を低下させるという大きな問題となっている。

【0006】このようなプロセスによりアライメントマーク形状が非対称になることによる精度劣化を解消するため、オフセットアナライザにおいては、ウエハとレチクルの相対的な位置合せのためのウエハ位置検出をベースラインの安定性の高い非露光光TTLオフアキシス方式の位置合せ検出系で行う前に、位置合せ装置を有する露光装置の外において、ウエハ上のアライメントに使用する同一の複数のマークの表面形状をレジスト塗布前と後でAFM（Atomic Force Microscope；原子間力顕微鏡）等のプロファイラ（Profiler；立体形状計測器）により計測し、そのレジスト塗布前後のマーク形状の3次元的な相対位置関係を

位置合せ装置の検出系の信号に合うように合わせた時のオフセットを算出し、その値を使用して位置合せするようにしている。このように、位置合せ装置（露光装置）外において、レジスト塗布前と後のマークの表面形状をAFM等のプロファイラで計測し、各マーク形状の3次元的な相対位置関係を、位置合せ装置の検出系の信号に合うように合わせた時のオフセットを算出する系をオフセットアナライザと呼ぶことにしている。

【0007】図3は、実際のアライメントマークの上をAFMで計測した場合のデータを示す。このデータは、図中の各アライメントマークAMに対応して表示されている信号として示されている。このデータはレジスト塗布後のものである。アライメントマークAMの構造は、図4に示すような、メタルCMPと呼ばれているものである。図3からわかるように、ウエハWの左右と真中のショットでのアライメントマークAMのレジスト塗布後の表面形状は、真中のショットでは対称であるが、左右のショットでは非対称であり、その非対称性が左右で反転している。これがWISである。このようなWISが生じる場合でも、オフセットアナライザによれば、ベースライン変動の少ない高精度で高安定な位置合せ方式が可能である。

【0008】オフセットアナライザにおいて使用するプロファイラは、AFM、触針式のもの、または光学式の非接触式のもののいずれの場合でも、仕様を満たすものであれば、何ら問題を生じさせることはない。ただし、レジストは光プロファイラで使用する波長には透明体であるため、光プロファイラでレジスト表面を正しく計測することは困難である。一方、例えばAFMでは、実際にサンプルとなる計測物体のレジスト表面を、プローブと呼ばれているものとの原子間力に基づいて計測するので、レジストの透過率の影響を受けない。もちろん、光プロファイラにおいても、コンフォーカル検出方式や、レジストの透過率が無いような波長を使用する等の方式も考えられる。しかしながら、KrFレーザを使用する露光方式の場合は、CMP等の平坦化技術の導入により、レジスト厚がi線露光時の1 μ m近傍から半分の0.5 μ m近傍へと薄くなっているため、コンフォーカルによれば、光路長は幾何光学で考えるので、レジストの屈折率は概ね1.5程度であり、0.5/1.5=0.33 μ mの厚さを分離できるコンフォーカルとしなければならない。0.33 μ mを分離できるコンフォーカル検出系は存在せず、もし可能になったとしても、開口数NAが0.9以上の液浸とする等の必要があるため、光学系の誤差、例えば偏心コマ収差等が発生しやすくなり、高精度な検出が困難になる。また、レジストを透過しない波長を採用する方式によれば、レジストの特性によるため、どんなレジストでも計測可能とすることはできない。例えばKrFレジストでは、露光波長近傍でないと透過率は低くならないため、プロファイラの光

源にもエキシマレーザを使用することになる。これはコストアップの著しい原因となる。

【0009】以上の理由により、現状では、オフセットアナライザにおいてレジスト表面を計測するには、AFMや触針式のプロファイラを使用せざるを得ない。なお、このAFMや、触針式や光学式のプロファイラについては後で再度説明する。

【0010】

【発明が解決しようとする課題】しかしながら、水平方向の分解能を優先してAFMや触針式プロファイラを使用すると、ウエハ面への汚染の可能性があることが判明した。この原因は、AFMや触針式プロファイラにおいては、計測値として使用しない場合に、その計測を行うためのプローブがウエハ表面に強く接触する場合があることにある。例えば、AFMでは、その名の通り原子間力を計測値としているが、図16に示すように、ウエハのアライメントマークAMの形状が、現在計測している地点から次の計測地点までの間でAFMとウエハ間が近くなるような場合、AFMのプローブ2が1回ウエハ表面に強く接触してしまい、予め設定した原子間力を発生しないので、その後、プローブ2を原子間力が得られる距離まで離して、計測値を得るようにしている。アライメントマークの形状によることではあるが、原子間力を発生する距離以上の変化は多々あるので、実際には、プローブが計測表面に強く接触することはよくあり、これによってプローブの形状が変形し、計測値が変化する。これがプローブの寿命を決める一因となっており、プローブの先端形状が微細なほど寿命は短い。

【0011】プローブの材質はシリコン系のものであるが、これがウエハのプロセス部材に強く接触するので、汚染の可能性を否定できない。計測後、洗浄により汚染を完全に解消できるとしても、洗浄の時間がスループット低下の原因となり、問題となり得る。また、レジスト表面のように柔らかいものを計測するので、強く接触すると、表面を傷つけてしまう可能性もある。この場合は、計測値の形状と、強く接触した後の形状とが異なることが懸念され、本来のオフセットアナライザの効果を発揮できないという問題が発生する。以下、AFMや触針式のプロファイラを「接触の可能性のあるプロファイラ」と表現し、光プロファイラのような完全に非接触計測の方式のものを、「接触の可能性のないプロファイラ」と表現する。

【0012】本発明は、このような従来技術の問題点に鑑み、位置合せ方法、位置合せ装置、プロファイラ、露光装置、半導体デバイス製造方法、半導体製造工場、および露光装置の保守方法において、汚染や損傷を生じさせることなくマークの形状を計測できるようにすることを課題とする。

【0013】

【課題を解決するための手段】この課題を解決するた

め、本発明の第1の位置合せ方法は、第1物体のパターンを第2物体上に露光するために、前記第2物体上の複数のマークをマーク検出手段で検出して前記第1物体と第2物体との位置合せを行う工程と、この工程の前に、前記第2物体上の複数のマークの形状を計測することにより前記マーク検出手段による検出結果に反映すべきオフセットを得る工程とを備えた位置合せ方法において、前記マーク形状の計測は前記マークに接触する可能性のない形状計測手段により、これに前記マークに接触する可能性のある形状計測手段を基準とする較正を施して行うことを特徴とする。

【0014】第2の位置合せ方法は、第1の位置合せ方法において、前記較正のために、前記接触可能性のある形状計測手段により前記第2物体上の複数マークの形状を計測する工程を有することを特徴とする。

【0015】第3の位置合せ方法は、第1または第2の位置合せ方法において、前記接触可能性のある形状計測手段は原子間力顕微鏡または触針式立体形状計測器であることを特徴とする。

【0016】第4の位置合せ方法は、第1～第3のいずれかの位置合せ方法において、前記マーク形状の計測は、前記露光のためのレジストを前記第2物体に塗布する前と塗布した後において行うことを特徴とする。

【0017】第5の位置合せ方法は、第4の位置合せ方法において、前記接触可能性のない形状計測手段により、前記較正を施して計測した前記レジスト塗布前後のマーク形状の相対位置関係を前記マーク検出手段による検出信号に対応させた結果に基づいて前記オフセットの取得を行うことを特徴とする。

【0018】そして、第6の位置合せ方法は、第1～第5のいずれかの位置合せ方法において、露光される前記第2物体が複数ある場合は、最初の第2物体を用いて得られる前記オフセットを用いて2番目以降の第2物体についても前記位置合せを行うことを特徴とする。また、本発明の位置合せ装置は、前記第1～第6のいずれかの位置合せ方法を行う手段を具備することを特徴とする。

【0019】また、本発明の第1のプロファイラは、被露光基板上の位置合せ用のマークの形状をレジストの塗布前後において計測するプロファイラであって、マーク形状をマークに接触する可能性を有しながら計測する第1の形状計測手段と、マーク形状をマークに接触する可能性なく計測する第2の形状計測手段と、前記位置合せ用のマークの形状を前記第2形状計測手段により、これに前記第1形状計測手段を基準とする較正を施して計測する較正計測手段とを具備することを特徴とする。

【0020】第2のプロファイラは、第1のプロファイラにおいて、前記較正計測手段は、レジストをマーク上に塗布するコータの条件を最適のものからずらすことによりレジストのマークへのカバレッジを変化させながら各カバレッジのレジストの塗布前後におけるそのマーク

の形状を前記第1および第2形状計測手段で計測して求めた所定の因果関係に基づいて前記較正を施すものであることを特徴とする。

【0021】そして、第3のプロファイラは、第2のプロファイラにおいて、前記較正計測手段は、前記被露光基板上に塗布されるレジストの厚さに関する情報に基づいて前記較正を施すものであることを特徴とする。

【0022】また、本発明の第1の露光装置は、原板のパターンを基板上に露光する露光装置であって、前記原板と基板を位置合せするための本発明の位置合せ装置を具備することを特徴とする。

【0023】第2の露光装置は、第1の露光装置において、ディスプレイと、ネットワークインターフェースと、ネットワーク用ソフトウェアを実行するコンピュータとをさらに有し、露光装置の保守情報をコンピュータネットワークを介してデータ通信することを可能にしたものである。

【0024】そして第3の露光装置は、第2の露光装置において、前記ネットワーク用ソフトウェアは、前記露光装置が設置された工場の外部ネットワークに接続され前記露光装置のベンダもしくはユーザが提供する保守データベースにアクセスするためのユーザインターフェースを前記ディスプレイ上に提供し、前記外部ネットワークを介して該データベースから情報を得ることを可能にするものである。

【0025】また、本発明の第1の半導体デバイス製造方法は、前記第1の露光装置を含む各種プロセス用の製造装置群を半導体製造工場に設置する工程と、該製造装置群を用いて複数のプロセスによって半導体デバイスを製造する工程とを有することを特徴とする。

【0026】第2の半導体デバイス製造方法は、第1の半導体デバイス製造方法において、前記製造装置群をローカルエリアネットワークで接続する工程と、前記ローカルエリアネットワークと前記半導体製造工場外の外部ネットワークとの間で、前記製造装置群の少なくとも1台に関する情報をデータ通信する工程とをさらに有する。

【0027】そして第3の半導体デバイス製造方法は、第2の半導体デバイス製造方法において、前記露光装置のベンダもしくはユーザが提供するデータベースに前記外部ネットワークを介してアクセスしてデータ通信によって前記製造装置の保守情報を得る、もしくは前記半導体製造工場とは別の半導体製造工場との間で前記外部ネットワークを介してデータ通信して生産管理を行う。

【0028】また、本発明の半導体製造工場は、前記第1の露光装置を含む各種プロセス用の製造装置群と、該製造装置群を接続するローカルエリアネットワークと、該ローカルエリアネットワークから工場外の外部ネットワークにアクセス可能にするゲートウェイを有し、前記製造装置群の少なくとも1台に関する情報をデータ通信

することを可能にしたものである。

【0029】また、本発明の露光装置の保守方法は、半導体製造工場に設置された前記第1の露光装置の保守方法であって、前記露光装置のベンダもしくはユーザが、半導体製造工場の外部ネットワークに接続された保守データベースを提供する工程と、前記半導体製造工場内から前記外部ネットワークを介して前記保守データベースへのアクセスを許可する工程と、前記保守データベースに蓄積される保守情報を前記外部ネットワークを介して半導体製造工場側に送信する工程とを有することを特徴とする。

【0030】これら本発明の構成において、マーク形状の計測はマークに接触する可能性のない形状計測手段により行い、その際、この計測手段に対し、マークに接触する可能性のある形状計測手段を基準とする較正を施すようにしたため、第1物体に接触することなくマーク形状の計測が行われる。したがって、第1物体に汚染や損傷を生じさせることはない。

【0031】

【発明の実施の形態】本発明の好ましい実施形態においては、第2物体としてのウエハと第1物体としてのレチクルの相対的な位置合せをするために、ウエハの位置の検出を、ベースラインの安定性の高い非露光光TTLオフアクシス方式の位置合せ検出系で行う。そして、それより前に、ウエハ上のアライメントに使用する同一の複数のマークの形状を、位置合せ装置を有する露光装置の外において、レジストの塗布前と後で、接触の可能性の無いプロファイラで計測する。このプロファイラとAFM等の接触の可能性のあるプロファイラとの間では、事前に各工程に関して較正を行っており、そのオフセットが得られている。そこで、形状の計測結果にこのオフセットを反映した値を用いて、レジスト塗布前後の各マーク形状の相対位置関係、すなわちレジスト塗布前のマークとその上に塗布されたレジストとの3次元的な相対位置関係を、位置合せ装置の検出系の信号に合うように合わせ、そのときのオフセット量を算出する。そして、このオフセット値を使用して、ウエハとレチクルの位置合せを行うことにより、前述のプロセスによるアライメントマーク形状の非対称性に起因する精度劣化を解消する。

【0032】

【実施例】以下、図面を用いて本発明の一実施例を説明する。ただし、以下の露光装置、位置合せ装置の検出系としてのアライメントスコープおよびオフセットアナライザは、呼称は既に本出願人が提案しているものと同様であるが、その構成は異っている。オフセットアナライザとは、ここでは、位置合せ装置の外すなわち露光装置の外においてレジスト塗布前後で表面形状を接触可能性の無いプロファイラとAFM等の接触可能性のあるプロファイラにより計測し、そのレジストとウエハマークと

の3次元的な相対位置関係を、位置合せ装置の検出系の信号に合うように合わせた時のオフセットを算出する系をいう。

【0033】図2は本実施例におけるウエハと情報の流れを示す。同図に示すように、まずレジストを塗布する前にウエハをオフセットアナライザに搬送し(①→②)、ウエハ上のアライメントマークの表面形状を接触の可能性の無いプロファイラで計測する。次に、ウエハをコートに搬送し(②→③)、ウエハにレジストを塗布する。次に、ウエハを再度オフセットアナライザに搬送し(③→④)、アライメントマーク上のレジストの表面形状(レジスト塗布後のアライメントマークの形状)を、接触の可能性の無いプロファイラで計測する。次に、オフセットアナライザに構成した露光装置のアライメントスコープと同等な検出系により、アライメントマークの信号を検出する。

【0034】次に、オフセットアナライザで信号シミュレータにより発生するオフセット量を算出する。すなわち、まず、レジスト(レジスト塗布後のアライメントマークの形状)とウエハマーク(レジスト塗布前のアライメントマークの形状)との3次元的な相対位置関係を合わせる必要がある。つまり、レジストとウエハマークとの3次元的な相対位置関係を変化させ、信号シミュレータによるシミュレーション結果が、上述の検出系で検出したアライメントマークの信号に一致するときの関係を、レジストとウエハマークとの3次元的な相対位置関係とする。この時の相対関係を使用してアライメント信号を求め、そこからアライメント計測のオフセットを算出し、その値を露光装置に送る。

【0035】次に、このオフセットに基づき、露光装置においてウエハのアライメントと露光を行い、全てのショットの露光が終了すると、ウエハをデベロッパへ搬送し(⑤→⑥)、現像を行う。

【0036】図1はオフセットアナライザの構成を示す。同図に示すように、このオフセットアナライザは、ウエハWを支持するチャック61、チャック61をX、Y、Z方向に移動させるXYZステージ62、レジスト塗布の前後でウエハW上のアライメントマークの表面形状を計測する接触の可能性の無い光プロファイラ63、AFM等の接触可能性のある較正用のプロファイラ64、露光装置のアライメントスコープと同等な検出系65、およびオフセットアナライザ全体を制御し、かつアライメントマークの表面形状からアライメントオフセットを算出するシミュレータを有するCPU66を備える。なお、ウエハの搬送系やウエハの立体位置検出系は図示していない。

【0037】オフセットアナライザは、その検出系と露光装置のアライメントスコープ間の装置誤差(TIS: Tool Induced Shift)を管理するための情報を知っている必要がある。この情報としては、

例えば光学系のコマ収差や照明系の均一性等が該当する。なお、この代わりに、露光装置のアライメントスコープにおいて、上記誤差を無視できるまで無い状態にしてもよい。また、露光装置のアライメントスコープとオフセットアナライザのアライメント検出系が同じ誤差となるようにしてもよい。この装置誤差を評価する方法として、特開平9-280186号公報に示されるような方法を既に本出願人は提案しており、実際にその効果が確認されている。また、露光装置のアライメントスコープとの装置誤差の情報を知っているのであれば、オフセットアナライザに露光装置のアライメントスコープと同じアライメント検出系を構成せずに、例えばオフセットアナライザでは明視野検出系を用い、露光装置では暗視野検出系を用いて、その間の誤差を全てシミュレータで考慮してオフセットを算出できるようにしてもよい。

【0038】オフセットアナライザは、露光機である露光装置とは別に構成され、露光装置の露光を妨げないシーケンスでアライメントオフセットを算出できるように、複数の露光装置に対して複数のオフセットアナライザを構成するのが、スループット面で有効である。ただし、露光装置とオフセットアナライザの数を等しくする必要はない。

【0039】このオフセットアナライザでは、アライメントマークの表面形状を接触可能性の無いプロファイラで計測した結果について、AFM等の接触可能性のあるプロファイラ64で事前に各工程に関して較正を行って、そのオフセットの算出を行う。この具体的な例については後で説明する。

【0040】次に、露光装置に構成するベースラインが安定した非露光光TTLオフアクシス検出系について説明する。図7はこの一例として、露光装置においてアライメントマークを検出する検出系のアライメントスコープを示す。これは本出願人により既に提案されているものである。

【0041】図7の露光装置は、露光波長が248nmであり、KrFエキシマレーザの発振波長を使用したKrF露光装置である。図中の13は、この248nmにおいてほとんど無収差となるように設計製造されている投影光学系であり、非露光光である例えばHe-Neレーザ5からの633nmの発振光6に対しては大きな収差をもっている。また、633nm近傍の軸上色収差も大変大きい。i線露光装置では、この投影光学系でのアライメント波長の収差をアライメント検出系で逆補正して半値幅70nm以上の幅のアライメントが可能となっていた。しかしKrF露光装置では、前述のように633nm近傍の軸上色収差が大変大きいため、逆補正を行おうとすると、その補正光学系が、投影光学系と同じ程度の大きさ、および組立て敏感度となってしまう。したがって、逆補正は、装置規模の拡大とコスト向上の要因となるので、採用されていない。

【0042】そこで、図7のKrF露光装置では、He-Neレーザ5からの633nmの単色光である発振光6に対してのみ収差が補正されたアライメント検出系が構成され、実際に製品化され、実際の半導体露光に使用されている。

【0043】図7のアライメント検出系は、この633nmについてのみ収差を補正したものであり、かつアライメントマークの±1次回折光のみを使用した像でアライメントを行うためのものである。この検出系では、He-Neレーザ5からの発振光6を、ファイバ7で導光し、アライメントスコープASの照明系8に入射させる。この入射光は、ビームスプリッタ9、リレーレンズ10、対物レンズ11およびミラー14を経てから投影光学系13を透過し、そしてウエハW上のアライメントマークAMを照明する。このアライメントマークAMからの反射光は、今度は照明の場合とは逆に、投影光学系13、ミラー14、対物レンズ11、リレー10およびビームスプリッタ9を透過し、そしてエレクタ15で正立正像とされ、CCDカメラ16上に像17を形成する。像17は、CCDカメラ16で光電変換されて、高速画像処理電子回路を含むコンピュータ51に取り込まれる。コンピュータ51は、この信号をFFT（高速フーリエ変換）で処理し、その位相から、アライメントマークAMの位置を検出する。このようなTTLオフアクシス検出系の構成によれば、ベースライン長を短くすることができ、ベースラインの安定性を確保したアライメント検出系が可能となる。

【0044】ウエハWは、ウエハチャック21上に置かれ、ウエハチャック21はθ-Zステージ（駆動手段）22上に構成されている。ウエハWをチャック21表面に吸着することにより、各種振動に対して、ウエハWの位置がずれないようにしている。θ-Zステージ22はチルトステージ23の上に構成され、ウエハWをフォーカス方向（投影光学系13の光軸方向）に上下動させる。チルトステージ23は、レーザ干渉計26で制御するX-Yステージ18上に構成され、ウエハWの反りを投影光学系13の像面に対して、最小になるように補正する。また、チルトステージ23独自でフォーカス方向に駆動することも可能となっている。チルトステージ23上に構成したバーミラー25とレーザ干渉計26により、X-Yステージ18の駆動量をモニタしている。レーザ干渉計26は、回線を通じてコンピュータ51に、駆動量に関する計測値を転送する。

【0045】29はウエハWを投影光学系13のフォーカス位置に位置決めするためのフォーカス計測系を構成する投光系、30はその受光系である。フォーカス以外に、投影光学系13の像面に対するショット面の傾きも検出し、該検出結果を、チルトステージ23で補正するようにしている。ウエハW面のフォーカス測定後、検出系30から回線を通じてコンピュータ51に計測値を転

送するようになっている。

【0046】12は電子回路パターンを有するレチクル、20はレチクル12を照明するための照明光学系であり、照明光学系20によって照明されるレチクル12上の電子回路パターンが投影光学系13を経てウエハW上に露光されるようになっている。

【0047】この構成において、ファーストマスク以外の工程では、アライメント終了後、オフセットアナライザからの補正值（オフセット）を使用して、被計測のウエハにおけるショットの配列格子のウエハ倍率、直交度、縮小倍率等を算出する。そして、この算出結果に基づいてウエハステージ21あるいはレチクルステージを駆動しながら、レチクル12面上の電子回路パターンを逐次ウエハW上に露光する。

【0048】次に、オフセットアナライザにおいてレジスト塗布前と後のアライメントマークAMの形状に基づいてオフセットを算出するシミュレータについて説明する。シミュレータとしては、種々のものが存在する。一般に市販されているものとしては、アメリカのWeidlinger Associates社製のEMFLEXがある。このシミュレータは、有限要素法により、光の伝搬を、マクスウェルの方程式をベクトルの的に解くことによって、アライメントマークからの信号となる光が、実際の構成でどうなるかを求めることができる。もちろん、光学系の収差等も含めた実際の構成条件に合ったもので信号をシミュレートすることができる。この信号を、各種信号処理、例えば前述のFFT（高速フーリエ変換）で処理し、その位相からアライメントマークAMの位置を検出する。この処理は、実際の露光装置での処理のアルゴリズムと同じものにする必要があるのは言うまでもない。

【0049】ただしこの説明は、KrF露光装置のTTL検出系についての信号処理についてのものであり、他の構成の場合のオフセットアナライザでの処理では、FFT（高速フーリエ変換）に限定されず、各種画像処理方式が可能となるように対応することができる。また、その他の同様な信号シミュレーションの市販品ソフトウェアとしてはAvant!やMetoroPole等がある。

【0050】オフセットがアライメントマークAMのどこに対して発生するかを定義する必要があるが、この考え方は、既に本出願人により提案されているものと同様である。すなわち、図8のようにアライメントマークAMが非対称な場合、オフセットがその上部T、下部B、またはその平均のいずれに対して発生するかをあらかじめ決めておいて、オフセットアナライザでは処理される。情報としては、上部T、下部B、またはこれらの平均の、いずれの場合でもオフセットを求めることができる。

【0051】次に、実際の計算例を、図9～11を使用

して説明する。図9はレジスト塗布前のアライメントマークの上を光プロファイラ63で計測したデータを示す。図10はレジスト塗布後のアライメントマークAMの上を光プロファイラ63で計測したデータを較正したデータを示す。図11は図9および10のレジスト塗布前後の情報からアライメント信号をシミュレータで計算した信号を示す。この例は、明視野像として信号をシミュレートしたものである。

【0052】次に、アライメントマークAMの表面形状を接触の可能性の無い光プロファイラ63で計測した結果を、AFM等の接触の可能性のあるプロファイラ64で事前に各工程に関して較正を行って、そのオフセットを算出する具体的な例について説明する。特に、接触の可能性の無いプロファイラ63として、後述するミラウ（Mirau）干渉計を使用した光学的なプロファイラを使用した場合について述べる。

【0053】図12に示すような、Si段差構造のアライメントマークAMの上にレジスト31が塗布された場合を想定する。図13は、レジスト13を塗布する前の断面構造を示す。この塗布前の表面形状については、光プロファイラ63で計測する場合と、接触可能性のあるプロファイラ64で計測する場合とで、同様な結果を得ることができる。光プロファイラ63で計測する場合、SiのアライメントマークAM表面でほとんど計測光が反射されるからである。しかし、図12のように、レジストを塗布した後では、レジストの例えば633nmにおける透過率は60%以上と高いので、レジスト表面形状を光プロファイラ63で計測する場合と、プロファイラ64で計測する場合とでは、異なった計測結果となる。何故なら、プロファイラ64はレジスト表面を計測するが、光プロファイラ63はレジストを通してSi面を計測するからである。

【0054】そこで、光プロファイラ63での計測結果がプロファイラ64で計測した結果に合うような較正量を、レジスト塗布前の情報も使用して求めることにより、光プロファイラ63に対してプロファイラ64を基準とする較正を施すことが必要となる。例えば、レジストを塗布するコータの条件を最適のものからずらすことによって、レジストのアライメントマークへのカバレッジが変化する。この状態をプロファイラ64と光プロファイラ63の両方で計測して因果関係を求めておき、それを較正量として使用することが可能である。また、レジストの厚さは露光に敏感に影響するので、厳密にリソグラフィ工程においては管理されている。このレジスト厚の情報に基づいて較正量を求めることも可能である。さらに、このレジスト厚を使用すれば屈折率に関して求める事になり、エリブソメータ等で別に屈折率を求めずに、ここで求めた値を信号シミュレーションに使用することも有効である。

【0055】したがって、このような較正を半導体製造

の各工程に関して行うことによりその較正量を事前に求めておき、実際のスループットを必要とする場合には、光プロファイラ63のみでアライメントマークAMの立体形状計測を行い、この較正量を使用してオフセットを算出することにより、高速にオフセットアナライザの機能を達成することができる。

【0056】プロファイラ64として使用できるAFMとしてはCD (Critical Dimension) 測定、例えば線幅、ピッチと深さ、側壁角度、ラフネス等を計測することをターゲットとして開発された、Digital Instrument社製のディメンジョン・メトロロジーAFMが挙げられる。垂直方向の検出原理は、プローブ先端(半径5~20nm)を被計測物表面に、原子間力の働く位置まで近づけて、そのプローブ位置を光センサ(垂直分解能0.8nm)で検出するというものであり、水平方向には、最大70 μ mの範囲でピエゾを駆動(水平分解能1nm)して、立体形状計測を可能としている。計測モードとしては、接触式でも非接触式でもないタッピングモードと呼んでいる、プローブを200~400kHzの共振周波数で振動させて計測するモードが有効である。

【0057】プロファイラ64として使用できる触針式のプロファイラとしては、300mmウエハの全域を計測可能な、KLA-Tencor社製のHRP240ETCH (HRP: High Resolution Profiler) が挙げられる。垂直方向の検出原理は、AFMでのプローブと同じ働きをするスタイラスの先端(半径40nm)により、被計測物表面を超低針圧でなぞり、そのスタイラスの位置を、静電容量センサ(垂直分解能0.02nm)で検出するというものである。水平方向には、最大90 μ mのミクロな領域をピエゾで駆動(水平分解能1nm)するステージと、最大300mmのマクロな領域を測定するモータ駆動ステージの2つのステージを組み合わせて使用する。これにより、立体形状の計測を可能としている。さらに、計測地点でサンプル上にスタイラスを降ろして所定の針圧まで接触させ、計測後スタイラスを上げて計測方向にスタイラスを移動させ、その後再度スタイラスを降ろす、ディッピングモードと呼んでいるモードもある。このモードによれば、高アスペクト比のサンプルの計測が可能である。

【0058】接触の可能性の無いプロファイラとしては、光学方式のものが挙げられるが、その中のひとつとして、3次元表面構造解析顕微鏡である、Zygo社製のNew Viewを使用することができる。検出原理は、図14および15に示すようなミラウ干涉計方式である。図15はミラウ干涉計装置の全体を示す。図14は図15中のミラウ干涉計型対物レンズ70を示す。対物レンズ70内には、図14に示すように、参照光を作るハーフミラー71と内部参照鏡72が設けられてい

る。この参照光と、被計測物73表面からの反射光により、被計測物73表面と光学的な共役面に置いたCCDカメラ(受光素子)74上で、干涉像が形成される。光源75としてハロゲンランプを使用し、白色干渉としているが、波長フィルタを代えることにより単色照明として、位相測定も可能としている。垂直方向には、対物レンズ70を垂直走査駆動部76のピエゾ素子により駆動し、その駆動位置を、静電容量センサを用いたクローズドループにより制御する。そして複数のフォーカス面での干涉像を、コンピュータ内に取り込み、Zygo社独自に開発したFDA (Frequency Domain Analysis) と呼んでいるFFT (高速フーリエ変換) を使用した周波数領域解析の処理により、垂直分解能0.1nmで高さデータに変換している。水平方向については、光学系の被計測物73からCCDカメラ74までの結像倍率と、CCDカメラ74の画素ピッチにより、水平分解能(最高0.1 μ m/Pix.)と検出範囲が決定される。

【0059】以上のように、非露光光を使用して、TTLオフアクシス方式によりアライメントマークを計測し、そこで発生するオフセットを、事前にオフセットアナライザによって算出することにより、プロセスによりアライメントマーク形状が非対称になることによる精度劣化を防ぐ、高精度でかつ高スループットの位置合せ方式が可能となる。

【0060】なお、オフセットアナライザによるオフセットの算出は、全てのウエハに対して実施してもよいが、例えば限定した条件での1番目のウエハについてのシーケンスのみでオフセットを求め、2枚目以降のウエハではそのオフセットを使用することも可能である。もちろん、2枚目以降のウエハにおいて1枚目のウエハで求めたオフセットを使用するのは、限定された条件下、例えば同一ロット内のウエハでなければならないというような条件下であって、ウエハのアライメントマーク形状における非対称性のばらつきが少ない場合に限られる。

【0061】以上のように、本実施例によれば、少なくともオフセットアナライザを一度以上使用するシーケンスが可能となる。また、非露光光を使用したTTLオフアクシス方式により、オフアクシス顕微鏡と投影光学系との距離、いわゆるベースラインの変動による精度劣化の問題も解消し、かつプロセスによりアライメントマーク形状が非対称になることによる精度劣化を防ぐ、高精度でかつ高スループットの位置合せ方式を実現することができる。そしてその際、オフセットアナライザは、ウエハの汚染や損傷を生じさせることなくアライメントマークの形状を計測することができる。

【0062】なお、本発明は上述実施例に限定されることがなく、種々変形して実施することができる。例えば、上述においては、図1のように、オフセットアナライザ

にも露光装置のアライメントスコープと同様の検出系65を設けてアライメント信号を得るようにしているが、この代わりに、検出系65を設けずに、アライメント信号を、露光装置のアライメント検出系で得ることも可能である。この場合、露光装置にウエハを送ってからアライメント信号を露光装置のアライメント検出系で取得し、そのアライメント信号の情報を露光装置からオフセットアナライザに送り、その後、オフセットアナライザでオフセットを算出するといった手順となる。

【0063】また、上述実施例においては、本発明に従ったオフセットアナライザをTTLオフアクシス方式との組み合わせで用いているが、本発明はこれに限定されるものはない。例えばオフアクシス顕微鏡との組み合わせにおいても、プロセスによりアライメントマーク形状が非対称になることによる精度劣化を防ぐことが可能である。その場合、もちろん、ベースラインの変動に対する対策は、オフアクシス顕微鏡において必要であり、熱的に影響されにくい部材を使用したり、頻繁にベースラインの補正を行う必要がある。

【0064】このように、本発明に従ってオフセットアナライザを使用すれば、プロセスによりアライメントマーク形状が非対称になることによる精度劣化を防止することができるため、CMP等の半導体形成プロセスの影響を受けずに、高精度でかつ高スループットの位置合せが可能となる。したがって、プロセスにおける複雑な最適化も不要となり、COOの向上が可能となる。

【0065】また、上述においては回路パターンを露光する露光機を露光装置と表現して説明したが、この表現は、最初に述べたように、便宜上使用したものであり、本発明は、所謂ステッパと呼ばれているものや、スキャナや等倍のX線露光、EB直描、EUV等の全ての露光方式における位置合せに対して有効であることは言うまでもない。もちろんその場合でも、その露光方式の露光機に構成されるアライメント検出系の信号を、アライメントマークおよびレジスト形状、すなわちレジスト塗布前後のマーク形状の情報が判明すれば、その情報に基づく信号シミュレーションによって算出できることが前提となる。

【0066】＜半導体生産システムの実施例＞次に半導体デバイス（ICやLSI等の半導体チップ、液晶パネル、CCD、薄膜磁気ヘッド、マイクロマシン等）の生産システムの例を説明する。これは半導体製造工場に設置された製造装置のトラブル対応や定期メンテナンス、あるいはソフトウェア提供などの保守サービスを、製造工場外のコンピュータネットワークを利用して行うものである。

【0067】図17は全体システムをある角度から切り出して表現したものである。図中、101は半導体デバイスの製造装置を提供するベンダ（装置供給メーカ）の事業所である。製造装置の実例として、半導体製造工場

で使用する各種プロセス用の半導体製造装置、例えば、前工程用機器（露光装置、レジスト処理装置、エッチング装置等のリソグラフィ装置、熱処理装置、成膜装置、平坦化装置等）や後工程用機器（組立て装置、検査装置等）を想定している。事業所101内には、製造装置の保守データベースを提供するホスト管理システム108、複数の操作端末コンピュータ110、これらを結んでイントラネットを構築するローカルエリアネットワーク（LAN）109を備える。ホスト管理システム108は、LAN109を事業所の外部ネットワークであるインターネット105に接続するためのゲートウェイと、外部からのアクセスを制限するセキュリティ機能を備える。

【0068】一方、102～104は、製造装置のユーザとしての半導体製造メーカの製造工場である。製造工場102～104は、互いに異なるメーカに属する工場であってもよいし、同一のメーカに属する工場（例えば、前工程用の工場、後工程用の工場等）であってもよい。各工場102～104内には、夫々、複数の製造装置106と、それらを結んでイントラネットを構築するローカルエリアネットワーク（LAN）111と、各製造装置106の稼動状況を監視する監視装置としてホスト管理システム107とが設けられている。各工場102～104に設けられたホスト管理システム107は、各工場内のLAN111を工場の外部ネットワークであるインターネット105に接続するためのゲートウェイを備える。これにより各工場のLAN111からインターネット105を介してベンダ101側のホスト管理システム108にアクセスが可能となり、ホスト管理システム108のセキュリティ機能によって限られたユーザだけがアクセスが許可となっている。具体的には、インターネット105を介して、各製造装置106の稼動状況を示すステータス情報（例えば、トラブルが発生した製造装置の症状）を工場側からベンダ側に通知する他、その通知に対応する応答情報（例えば、トラブルに対する対処方法を指示する情報、対処用のソフトウェアやデータ）や、最新のソフトウェア、ヘルプ情報などの保守情報をベンダ側から受け取ることができる。各工場102～104とベンダ101との間のデータ通信および各工場内のLAN111でのデータ通信には、インターネットで一般的に使用されている通信プロトコル（TCP/IP）が使用される。なお、工場外の外部ネットワークとしてインターネットを利用する代わりに、第三者からのアクセスができずにセキュリティの高い専用線ネットワーク（ISDNなど）を利用することもできる。また、ホスト管理システムはベンダが提供するものに限らずユーザがデータベースを構築して外部ネットワーク上に置き、ユーザの複数の工場から該データベースへのアクセスを許可するようにしてもよい。

【0069】さて、図18は本実施形態の全体システム

を図17とは別の角度から切り出して表現した概念図である。先の例ではそれぞれが製造装置を備えた複数のユーザ工場と、該製造装置のベンダの管理システムとを外部ネットワークで接続して、該外部ネットワークを介して各工場の生産管理や少なくとも1台の製造装置の情報をデータ通信するものであった。これに対し本例は、複数のベンダの製造装置を備えた工場と、該複数の製造装置のそれぞれのベンダの管理システムとを工場外の外部ネットワークで接続して、各製造装置の保守情報をデータ通信するものである。図中、201は製造装置ユーザ（半導体デバイス製造メーカ）の製造工場であり、工場の製造ラインには各種プロセスを行う製造装置、ここでは例として露光装置202、レジスト処理装置203、成膜処理装置204が導入されている。なお図18では製造工場201は1つだけ描いているが、実際は複数の工場が同様にネットワーク化されている。工場内の各装置はLAN206で接続されてイントラネットを構成し、ホスト管理システム205で製造ラインの稼働管理がされている。一方、露光装置メーカ210、レジスト処理装置メーカ220、成膜装置メーカ230などのベンダ（装置供給メーカ）の各事業所には、それぞれ供給した機器の遠隔保守を行うためのホスト管理システム211、221、231を備え、これらは上述したように保守データベースと外部ネットワークのゲートウェイを備える。ユーザの製造工場内の各装置を管理するホスト管理システム205と、各装置のベンダの管理システム211、221、231とは、外部ネットワーク200であるインターネットもしくは専用線ネットワークによって接続されている。このシステムにおいて、製造ラインの一連の製造機器の中のどれかにトラブルが起きると、製造ラインの稼働が休止してしまうが、トラブルが起きた機器のベンダからインターネット200を介した遠隔保守を受けることで迅速な対応が可能で、製造ラインの休止を最小限に抑えることができる。

【0070】半導体製造工場に設置された各製造装置はそれぞれ、ディスプレイと、ネットワークインターフェースと、記憶装置にストアされたネットワークアクセス用ソフトウェアならびに装置動作のソフトウェアを実行するコンピュータを備える。記憶装置としては内蔵メモリやハードディスク、あるいはネットワークファイルサーバなどがある。上記ネットワークアクセス用ソフトウェアは、専用又は汎用のウェブブラウザを含み、例えば図19に一例を示すような画面のユーザインターフェースをディスプレイ上に提供する。各工場で製造装置を管理するオペレータは、画面を参照しながら、製造装置の機種（401）、シリアルナンバ（402）、トラブルの件名（403）、発生日（404）、緊急度（405）、症状（406）、対処法（407）、経過（408）等の情報を画面上の入力項目に入力する。入力された情報はインターネットを介して保守データベースに送

信され、その結果の適切な保守情報が保守データベースから返信されディスプレイ上に提示される。またウェブブラウザが提供するユーザインターフェースはさらに図示のごとくハイパーリンク機能（410～412）を実現し、オペレータは各項目のさらに詳細な情報にアクセスしたり、ベンダが提供するソフトウェアライブラリから製造装置に使用する最新バージョンのソフトウェアを引出したり、工場のオペレータの参考に供する操作ガイド（ヘルプ情報）を引出したりすることができる。ここで、保守データベースが提供する保守情報には、上記説明した本発明の特徴に関する情報も含まれ、また前記ソフトウェアライブラリは本発明の特徴を実現するためのソフトウェアも提供する。

【0071】次に上記説明した生産システムを利用した半導体デバイスの製造プロセスを説明する。図20は半導体デバイスの全体的な製造プロセスのフローを示す。ステップ1（回路設計）では半導体デバイスの回路設計を行う。ステップ2（マスク製作）では設計した回路パターンを形成したマスクを製作する。一方、ステップ3（ウエハ製造）ではシリコン等の材料を用いてウエハを製造する。ステップ4（ウエハプロセス）は前工程と呼ばれ、上記用意したマスクとウエハを用いて、リソグラフィ技術によってウエハ上に実際の回路を形成する。次のステップ5（組み立て）は後工程と呼ばれ、ステップ4によって作製されたウエハを用いて半導体チップ化する工程であり、アセンブリ工程（ダイシング、ボンディング）、パッケージング工程（チップ封入）等の組立て工程を含む。ステップ6（検査）ではステップ5で作製された半導体デバイスの動作確認テスト、耐久性テスト等の検査を行う。こうした工程を経て半導体デバイスが完成し、これを出荷（ステップ7）する。前工程と後工程はそれぞれ専用の別の工場で行い、これらの工場毎に上記説明した遠隔保守システムによって保守がなされる。また前工程工場と後工程工場の間でも、インターネットまたは専用線ネットワークを介して生産管理や装置保守のための情報がデータ通信される。

【0072】図21は上記ウエハプロセスの詳細なフローを示す。ステップ11（酸化）ではウエハの表面を酸化させる。ステップ12（CVD）ではウエハ表面に絶縁膜を成膜する。ステップ13（電極形成）ではウエハ上に電極を蒸着によって形成する。ステップ14（イオン打込み）ではウエハにイオンを打ち込む。ステップ15（レジスト処理）ではウエハに感光剤を塗布する。ステップ16（露光）では上記説明した露光装置によってマスクの回路パターンをウエハに焼付露光する。ステップ17（現像）では露光したウエハを現像する。ステップ18（エッチング）では現像したレジスト像以外の部分を削り取る。ステップ19（レジスト剥離）ではエッチングが済んで不要となったレジストを取り除く。これらのステップを繰り返すことによって、ウエハ上に

多重に回路パターンを形成する。各工程で使用する製造機器は上記説明した遠隔保守システムによって保守がなされているので、トラブルを未然に防ぐと共に、もしトラブルが発生しても迅速な復旧が可能で、従来に比べて半導体デバイスの生産性を向上させることができる。

【0073】

【発明の効果】以上説明したように本発明によれば、事前に第1物体上のマーク形状を計測してオフセットを取得し、このオフセットを反映して第1物体と第2物体との位置合せを行う際に、マーク形状の計測を、マークに接触する可能性のない形状計測手段により、これにマークに接触する可能性のある形状計測手段を基準とする校正を施して行うようにしたため、第1物体に汚染や損傷を生じさせることなくマーク形状の計測を行うことができる。したがって、第1物体上のマークに非対称性が存在することにより発生するオフセットを、第1物体の汚染やスループットの低下を生じさせることなく取得して、各種プロセスの影響を受けずに安定した高精度な第1物体の位置合せを行うことが可能となる。

【図面の簡単な説明】

【図1】 図2中のオフセットアナライザの構成を示す図である。

【図2】 本発明の一実施例におけるウエハと情報の流れを示す図である。

【図3】 実際のアライメントマークの上をAFMで計測したデータを示す図である。

【図4】 メタルCMPと呼ばれているアライメントマークの構造を示す図である。

【図5】 アライメントエラーとして回転誤差が発生した例を示す図である。

【図6】 アライメントエラーとして倍率誤差が発生した例を示す図である。

【図7】 図2中のアライメント検出系を搭載した露光装置の構成を示す概略図である。

【図8】 非対称なアライメントマークの断面構造を示す図である。

【図9】 レジスト塗布前のアライメントマークの形状を光プロファイラで計測したデータを示す図である。

【図10】 レジスト塗布後のアライメントマークの形状を光プロファイラで計測したデータを校正したデータを示す図である。

【図11】 レジスト塗布前後の情報からアライメント信号をシミュレータで計算した信号を示す図である。

【図12】 レジスト塗布後のSiエッチング段差によるアライメントマークの断面を示す断面図である。

【図13】 レジスト塗布前のSiエッチング段差によ

るアライメントマークの断面を示す断面図である。

【図14】 図15のミラウ干渉計の対物レンズ付近を示す図である。

【図15】 ミラウ干渉計の装置全体を示す図である。

【図16】 AFMのプロブと計測サンプルを示す図である。

【図17】 半導体デバイスの生産システムをある角度から見た概念図である。

【図18】 半導体デバイスの生産システムを別の角度から見た概念図である。

【図19】 ユーザインターフェースの具体例を示す図である。

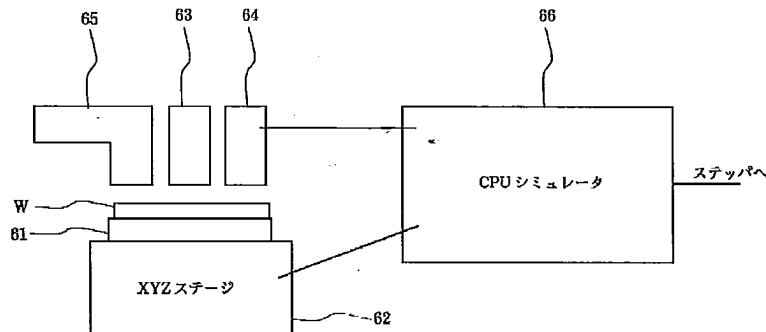
【図20】 デバイスの製造プロセスのフローを説明する図である。

【図21】 ウエハプロセスを説明する図である。

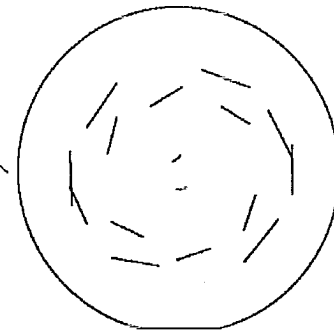
【符号の説明】

2:プロブ、5:光源(例えばHe-Neレーザ)、7:ファイバ、8:アライメント照明光学系、9:ビームスプリッタ、10:リレーレンズ、11:対物レンズ、12:レチクル、13:縮小投影光学系、14:ミラー、15:エレクト、16:CCDカメラ、17:CCDカメラ上に形成されたアライメントマーク像、18:XYステージ、20:照明光学系、21:ウエハチャック、22:θ-Zステージ、23:チルトステージ、25:パーミラー、26:レーザ干渉計、29:フォーカス計測系(投光系)、30:フォーカス計測系(検出系)、31:レジスト、51:コンピュータ、61:チャック、62:XYZステージ、63:光プロファイラ、64:プロファイラ、65:検出系、66:CPU66、70:対物レンズ、71:ハーフミラー、72:内部参照鏡、73:被計測物、74:CCDカメラ(受光素子)、75:光源、76:垂直走査駆動部、77:ビームスプリッタ、101:事業所、102~104:製造工場、105:インターネット、106:製造装置、107:ホスト管理システム、108:ホスト管理システム、109:ローカルエリアネットワーク、110:操作端末コンピュータ、111:ローカルエリアネットワーク、200:外部ネットワーク、201:製造工場、202:露光装置、203:レジスト処理装置、204:成膜処理装置、205:ホスト管理システム、206:LAN、210:露光装置メーカー、211, 221, 231:ホスト管理システム、220:レジスト処理装置メーカー、230:成膜装置メーカー、AM:アライメントマーク、AS:アライメントスコープ、W:ウエハ。

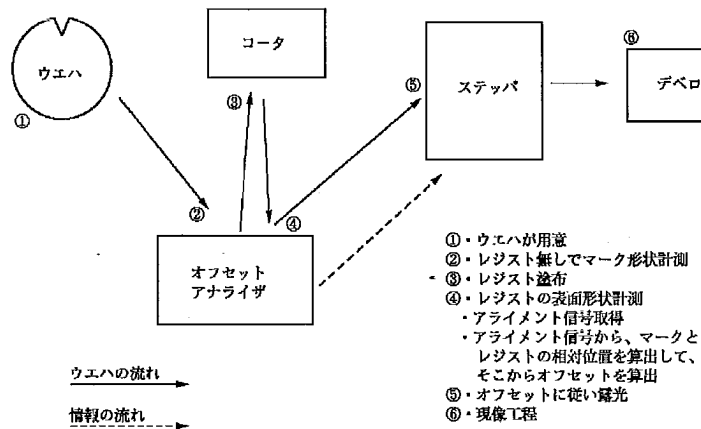
【図1】



【図5】

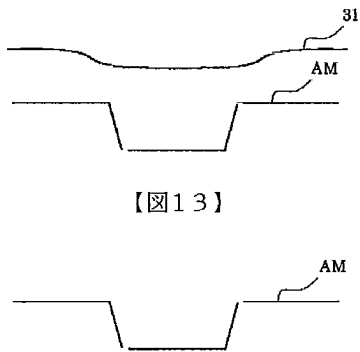


【図2】

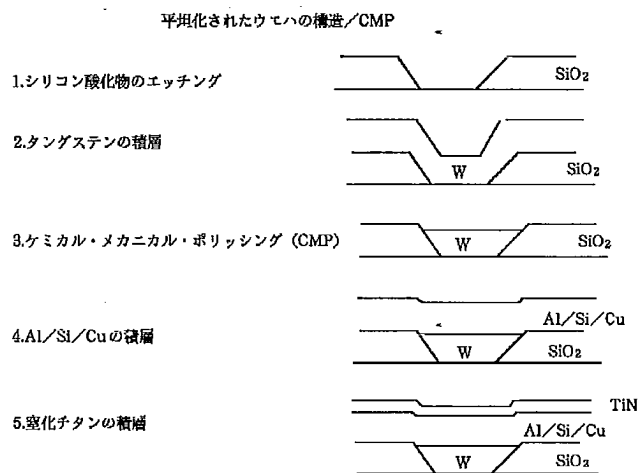


【図12】

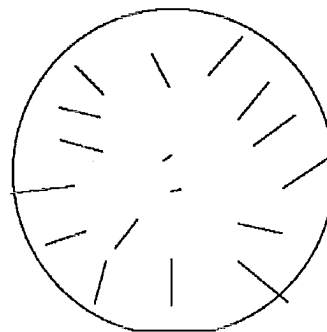
【図13】



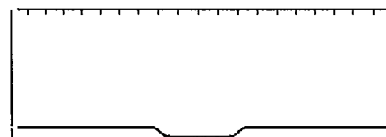
【図4】



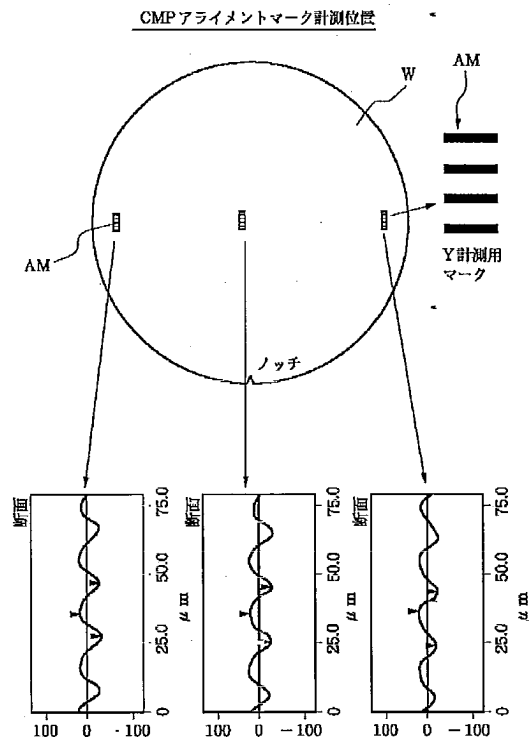
【図6】



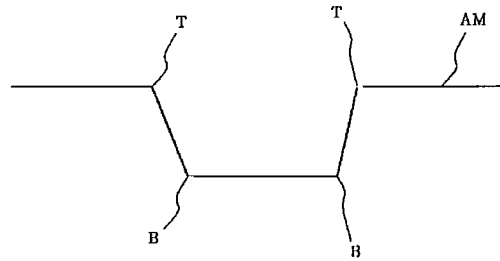
【図9】



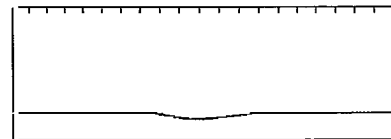
【図3】



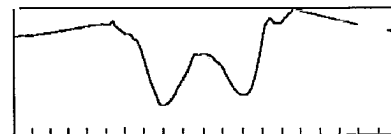
【図8】



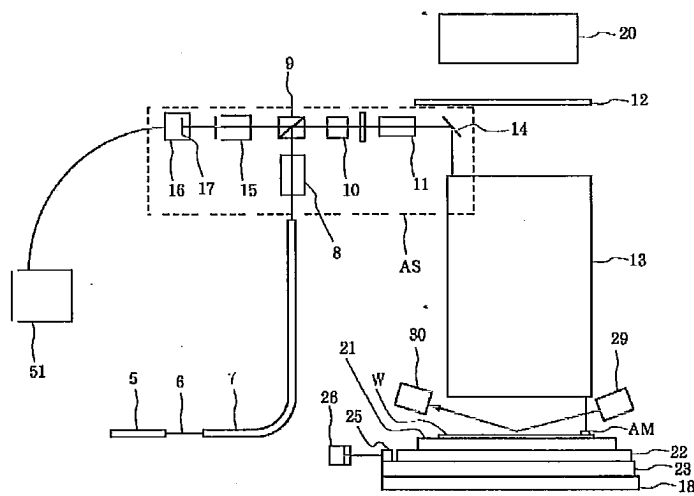
【図10】



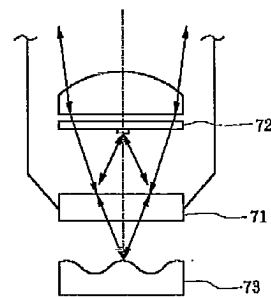
【図11】



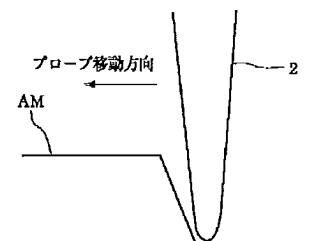
【図7】



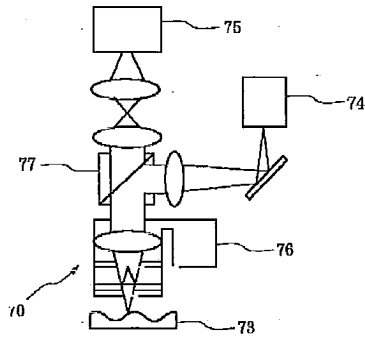
【図14】



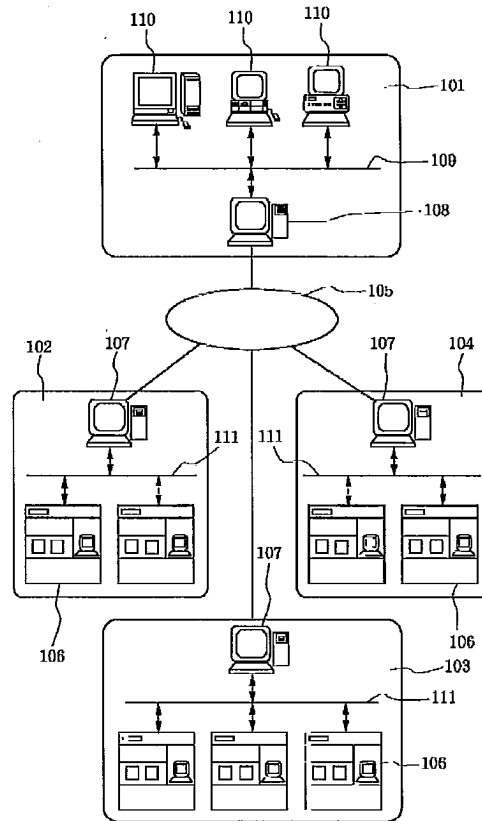
【図16】



【図15】



【図17】



【図19】

URL

トラブルDB入力画面

発生日 404

機種 401

件名 403

機器S/N 402

緊急度 405

症状 406

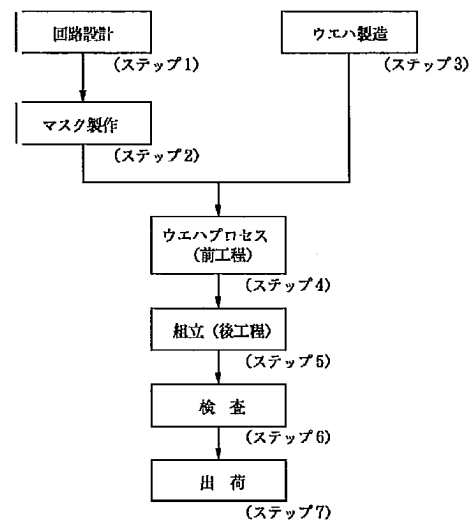
対処法 407

経過 408

410

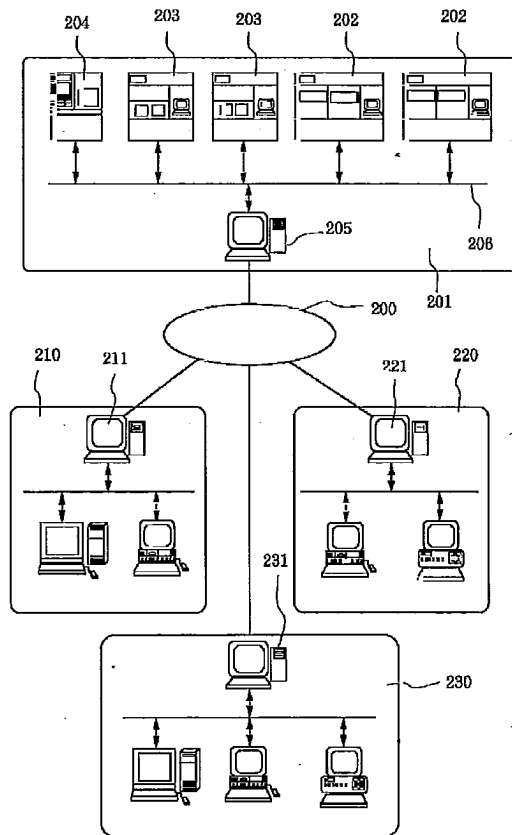
[結果一覧データベースへのリンク](#) [ソフトウェアライブラリ](#) [操作ガイド](#) 411 412

【図20】

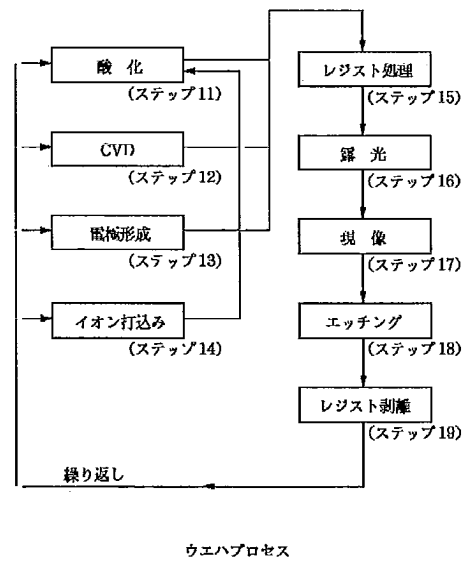


半導体デバイス製造フロー

【図18】



【図21】



フロントページの続き

(72)発明者 松本 隆宏
東京都大田区下丸子3丁目30番2号キャ
ン株式会社内

Fターム(参考) 2F065 AA03 AA06 AA54 BB02 BB25
BB28 CC20 FF51 GG02 GG04
JJ03 JJ26 LL02 LL04 LL12
LL46 PP12 QQ16 QQ21 QQ29
QQ32 QQ38
5F046 BA03 DB04 DB10 DD02 DD06
EB01 FC04